

# 6GHzまで広がるCISPR 規制を対策する 高速・高周波電子回路基板電源のRFブロック提案

A Proposal of R.F. Block to Work Power Rail at High-Frequency / High-Speed  
Circuits Board for CISPR Regulation Compliant up to 6GHz.

小宮 邦文  
Kunifumi Komiya

ケイアールエフエム株式会社  
K,RF&MICROWAVE Corporation

**あらまし:** 電子回路部品の実装基板設計における、P I (Power Integrity)設計手段の主流である、キャパシタによる低インピーダンス化手法では、GHz帯域を超えてマイクロ波帯域まで広がる、広帯域ノイズの除去対策は難しい。来年度から欧州と日本で規制運用が開始されるCISPR22対策にあたって、パッケージング(基板)設計者の多くが、問題を抱えている。ここでは、その一つの解決手法について提案する。この解法は、ショート(リング)回路を有する微少なコイルとキャパシタを用いたRFブロック(デカップリング)を、高速で動作するそれぞれの半導体のアイランド・セクション毎に搭載するというもので、広帯域のノイズ成分が阻止されることで、信号線路のSI(Signal Integrity)周波数特性改善も期待される。

The conventional method of Power Integrity in designing High-frequency / High-speed electronic systems by applying capacitors into power supply rail will not eliminate noises in higher frequency areas. Therefore, many system packaging designers face difficulties in developing systems. We KRFM would propose an useful method by an applying minute wounded coils with short-circuit rings into the power line associated with a capacitor, causing eliminated high frequency noise level and improved performance.

キーワード: CISPR22規制、RFブロック、PI、SI、SSN

Keywords: CISPR22 regulation, R.F.Block, Power Integrity, Signal Integrity, Simultaneous Switching Noise

## 1 まえがき

半導体デバイスの高速・高周波化にともなって、デバイスの集積度が飛躍的に高くなってきたことに伴い、半導体集積回路に電源を供給する基板線路の電流変化量も増大している。このことにより、CMOSトランジスタのスイッチング動作時に発生する、電源ノイズ(SSN)問題が、大きく顕在化してきた。

## 2 電源線路等価回路とノイズ

半導体を実装(搭載)するパッケージやPCBの電源供給線路には、様々なパッシブ素子成分が寄生している。それらを総合して、電源線路の等価回路と見なした時の、線路のインピーダンスを $Z$ とすると、電源

(線路)ノイズは、この電源線路を流れる電流の変化量 $I$ と、その電源線路のインピーダンス $Z$ との積と定義される。

そして、この電源線路ノイズをコントロールするためには、電源線路のインピーダンス $Z$ を下げるか、電流変化量 $I$ を低減するしかない。

だが、高速動作をする半導体のスピードを下げたり、ゲート数を減らすような物理的な低減は本末転倒であることから、タイミング・シフトなどのソフトウェア的手段も用いられるが、基板設計時のP I シミュレーションは、インピーダンスを下げるために、基板の隠れた寄生インダクタンスを洗い出すことと、バイパス・キャパシタを用いる低インピーダンス化で進められてきた。[1]

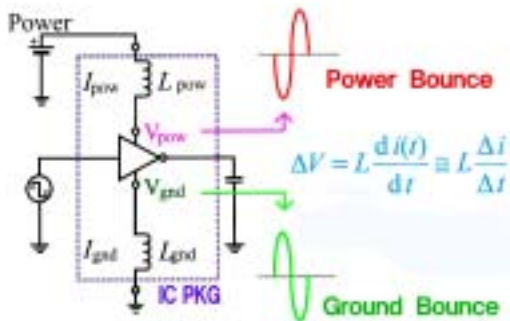
### 3 電源バウンス と グランド・バウンス

別の方向から電源に注目して見てみると、本来、電子回路設計時のグランド電位は0ボルトを基準電位として設計されるが、半導体が搭載されている基板やパッケージには寄生のパッシブ素子成分があり、電源線路では、時間的に変化する電流によって下記のような電位変動が起こる。

$$\Delta V = I \cdot R + L \frac{di(t)}{dt}$$

電源線路が空中に存在しているわけではないために寄生するパッシブ素子成分、特に線路の抵抗成分やインダクタンス成分によって引き起こされるグランド電位の変動は、「グランド・バウンス(Ground Bounce)」と呼ばれる。

勿論、電源はグランドだけではないので、これと同じ考えで、直流電源におけるプラス電位側でも電源電圧の変動は起こる。こちらは「電源バウンス(Power Bounce)」といわれる。[2]



【図1】 電源バウンスとグランド・バウンス

これらの電源電圧変動も、半導体の動作速度が遅く、電流の変化時間も少ない場合には、問題はないが、クロック・スピードが高速になればなるほど、回路の動作に影響を与えるようになった。

そして、このグランド・バウンスや電源バウンスを低減する手法として、基板の電源線路やグランド線路の幅や厚みを増したり、半導体の電源端子を増やしたり、あるいはパスコンの追加といった、電源線路の寄生インダクタンスを下げる努力しか行われていない。

### 4 電磁波ノイズ

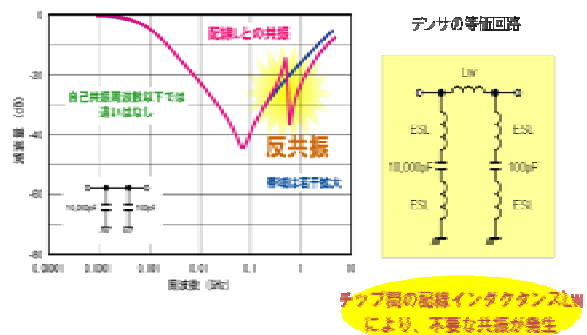
電源供給線路網を「低インピーダンス線路」に変えるという、電流、電圧に着目した「Target Impedance Definition」によるPI (Power Integrity)シミュレーション設計手段を、多くの基板設計者は信奉してやってきた。一方、電源線路に半導体デバイスから重畳(漏洩)してくる高周波電力(電磁波ノイズ)は帯域が広がり上昇し、そのための阻止対策は後手に回っている。ここで注意すべきは、電磁波ノイズにとって、低インピーダンス線路は、絶好の伝搬線路となっているという事実である。

### 5 CISPR 22、32対策

来年度より運用が開始されるCISPR22規制や、2011年とも云われるCISPR32に、対応できる電子回路機器を設計するためには、基板の電源供給線路に伝搬する高調波を、6GHz以上にわたって阻止しなければならない。

しかしながら、マイクロ波帯域まで使用できるバイパス用途のキャパシタが、見つからないことに加え、果たして、キャパシタで電磁波ノイズは阻止できるのかという疑問がつかまとう。

マイクロ波帯の入り口まで広がった高調波ノイズを、部品メーカーが販売するチップ部品で対策するのは難しいとも言われている。



【図2】 異種のキャパシタによる反共振

集積された多量の半導体が、同時にスイッチングすることで、電源線路に高速な電流変化を起こし、電源線路に高周波ノイズが発生する。

と考えるのか、はたまた、

高速で多量のスイッチングをしている半導体集積回路自体から、低インピーダンスの電源に向かって高調波(エネルギー)が漏れ出て来て、電源線路に重畳している。

と考えるのかは、意見が分かれるところだが、いずれにしても今までのPI手法ではマイクロ波帯域まで広がる電磁波(ノイズ)の電源線路での伝搬を食い止めることはできない。

## 6 ESR調整キャパシタ

電子部品実装基板には、いろいろな材料の、構造も異なる複数のキャパシタが搭載されている。それはキャパシタでの「低インピーダンス化」帯域が比較的狭い範囲しか実現しないために、種々の組み合わせでもって、広帯域に持って行こうという考えなのだろうが、マイクロ波帯域までの周波数域にわたり「低インピーダンス化」を実現できる、電源用途のキャパシタの組み合わせは現実にはない。

キャパシタは、組み合わせによっては「反共振」を起こしてしまうため、近年は等価直列抵抗(ESR)をある程度の値に調整したキャパシタが作られるようになった。すなわち、キャパシタのQ値制御である。

一方、スイッチングする半導体自体が生成し、電源線路に漏れて(伝わって)来る高調波は、半導体チップ内にある、方形(矩形)波が高速で立ち上がるために必要なエネルギー(高調波成分)である。

電源線路とGNDの間にキャパシタを多量に搭載し低インピーダンス化が実行された場合、キャパシタが電源線路側GNDに伝わってくださるとばかりバイパスすることになり、この方形波は大事な高調波エネルギーを失ない、高速性を維持する能力を減らしてしまう。単純な低インピーダンス化は、必ずしも半導体に良いことをしてるとは限らない。

## 7 相反するPI と EMC

あちらを立てれば、こちらが立たずとも言うべき状況で、【表1】に示すように、PIを実現するための手段としての「低インピーダンス化」は必要であるが、EMC対策を実現するための手段としては逆に、高インピー

ダンスでなければ、電磁波(ノイズ)を阻止できない。

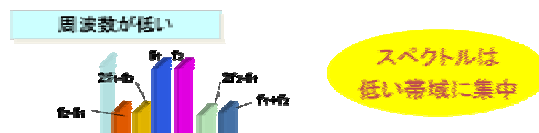
このように相反することを、基板設計で同時に実行することは一見不可能に見えるが、低Q値で、波長が制御されていて、並列寄生のC成分を抑える一層巻線のインダクタが実現できれば、このPIとEMCの問題は解決可能である。

我々の開発した「コイフィル」は、低い周波数においては低インピーダンスで、GHzを超えるような高い周波数の電磁波(ノイズ)に対しては、高インピーダンスに見えるコイル・インダクタを実現しているために、このようなPI、EMIの問題解決には最適である。

【表1】 相反するPIとEMCの対策

電子回路部品実装基板の設計の善し悪しが、電子回路機器の動作に大きな影響を与えるようになってきた。

それと同時に、電源配線(プレーン)の急激な電源変動によると言われる電磁波干渉(Electro Magnetic Interference)が、ひいては電子回路機器(システム)の電磁環境適合性(Electro Magnetic Compatibility)問題を起こすことにもつながってくる。



【図3】 相互変調による新たなノイズの発生

## 8 相互変調

2つの電磁波同士が干渉し合って、【図3】に示すように、本来は無いはずの周波数を、電波として作り出す現象を、電磁波の相互変調とか、インターモジュレーション(IMD)と呼ぶ。

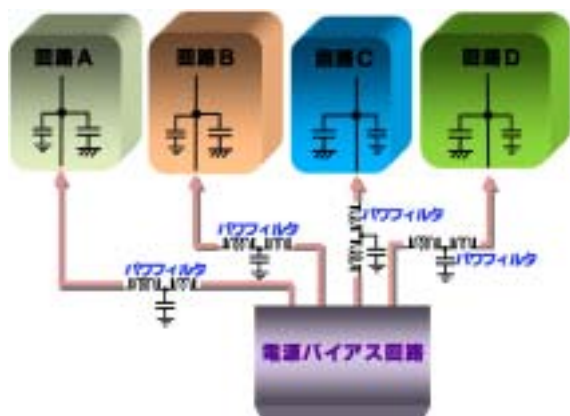
電源線路に重畳する電磁波も、対策をしないで放置すると、このような相互変調を繰り返して、**沢山の新しい電磁波ノイズを生成する。**

電源線路で起こるこのような電磁波の生成は、電磁波をグランドへバイパスさせる**キャパシタでは、全く対策することができない。**

【図4】に示すように、個々の半導体集積回路に繋がる全ての電源線路を、インダクタによってフィルタリング(電磁波阻止)しない限り、このような相互変調をはじめとする電磁波ノイズの対策はできない。

## 9 RFブロック

PCBに搭載される高速動作半導体ごと、または動作機能毎に、「アイランド・セクション」すなわち、小さな領域にブロックされた電源線路網を構成して、そのひとつ一つの「島」と「島」を結ぶ電源線路には、GHz以上の周波数では高インピーダンスに見え、低い周波数では低抵抗の導体にはしか見えない「**コイフィル**」を組合わせた「**パワフィルタ**」を通して電源供給する。



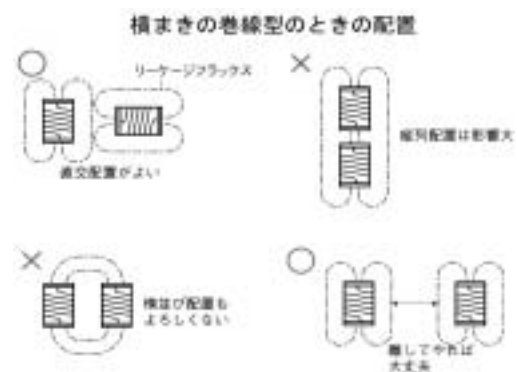
【図4】 コイフィルを用いたRFブロック (パワフィルタ)

このようなコイル・インダクタの採用は、今まで述べて

きた「低インピーダンス化」電源線路設計者にとっては、全く受け入れられない。従来の電磁波ノイズを発生させるインダクタではないか。と言われるであろう。

しかしながら、この「**コイフィル**」は、今までのコイル部品とも大きく違い、次のような特徴を持つ。

抵抗値が小さく(数10mΩ)、電流が流せる。  
実装時も、並列キャパシタンスが小さい。  
ショート・リングで、Q値制御することができる。  
ショート・リングを持つことで従来コイルのような実装の配置制約【図5】がない。(近接配置可)



【図5】 従来のコイル部品配置制約 [3]

## 10 まとめ

導体中の電磁波伝導を制御する事のできる受動素子部品は、抵抗とコイルしかないが、巻線コイルは電磁波を反射させて追い返す働きをする。

いままでもコイル部品は、それほど重要視されてこなかったが、マイクロ波帯域の電磁波制御に無くてはならない部品である。

### 参考文献

- [1] Narimasa Takahashi, "A Target Impedance Profit of Power Distribution Network" *JIEP Vol.12 No.3 (2009)*
- [2] Osami Wada, "Fundamentals of Power Integrity Related to Chip Packages and Printed Circuit Boards" *JIEP Vol.12 No.3 (2009)*
- [3] 井上博文著: プリント板実装の高速・高周波対策 日刊工業新聞社

### 連絡先

所属機関 ケイアールエフエム(株) 横浜本社技術  
所在地 〒235-0033 横浜市磯子区杉田 2-12-8  
電話番号 (045)772-4441  
E-mail infor@krfm.co.jp